

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07200420 A**(43) Date of publication of application: **04 . 08 . 95**

(51) Int. Cl.

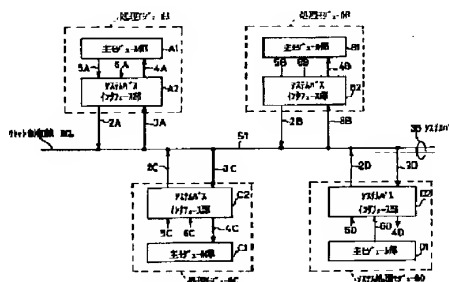
G06F 13/00
G06F 13/36
(21) Application number: **05335023**(22) Date of filing: **28 . 12 . 93**(71) Applicant: **OKI ELECTRIC IND CO LTD**(72) Inventor: **HANIYUDA KOICHI**(54) **RESETTING CONTROLLER**

(57) Abstract:

PURPOSE: To perform resetting control over ≈ 2 different functions through simple constitution.

CONSTITUTION: When a process module A performs a resetting control over process modules B and C, the process module A sends out a resetting sent signal 2A whose pulse width is a 16-clock period to a resetting control line RCL. Thereby, a resetting request signal 3A for this resetting sent signal 2A is masked by a system bus interface part A2 and a reset request signal 3B is fetched by a system bus interface part B2 effectively to perform a resetting process. Further a resetting request signal 3C is also fetched effectively by a system bus interface part C2 to perform a resetting process. Further, a resetting request signal 3D is supplied to a system bus interface part D2, but a resetting signal 4D is not supplied to a main module part D1.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-200420

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.⁶

G 0 6 F 13/00
13/36

識別記号

3 0 1 N

庁内整理番号

5 2 0 C 8944-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 14 頁)

(21) 出願番号 特願平5-335023

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 羽入田 貢一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

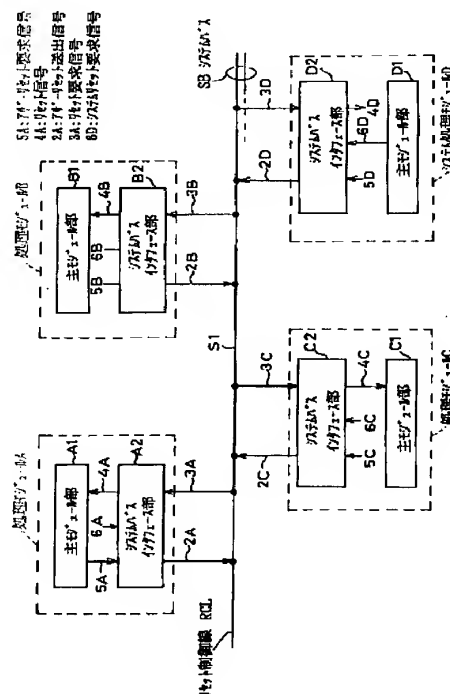
(74) 代理人 弁理士 工藤 宣幸 (外2名)

(54) 【発明の名称】 リセット制御装置

(57) 【要約】

【目的】 簡単な構成で2以上の異なる機能のリセット制御を行い得る。

【構成】 処理モジュールAが処理モジュールB、Cをリセット制御する場合には、処理モジュールAはリセット送出信号2Aをパルス幅が16クロック期間のものをリセット制御線RCLに送出する。すると、このリセット送出信号2Aに対するリセット要求信号3Aはシステムバスインタフェース部A2でマスクされ、リセット要求信号3Bはシステムバスインタフェース部B2で有効に取り入れられ、リセットされる。また、リセット要求信号3Cもシステムバスインタフェース部C2に有効に取り入れられ、リセットされる。更に、リセット要求信号3Dはシステムバスインタフェース部D2に与えられるが、主モジュール部D1にリセット信号4Dが与えられないようにされている。



【特許請求の範囲】

【請求項1】 リセット制御指令信号をリセット制御線へ送出する送出回路と、リセット制御線からのリセット制御指令信号をリセット制御線から受ける受信回路と、受けたリセット制御指令信号に基づきリセット処理を行うリセット処理回路とを有する処理モジュールが、リセット制御線に少なくとも2以上接続されているリセット制御装置において、

上記各処理モジュールの送出回路は、いずれの処理モジュールをリセットさせるかを表すために、リセット対象の処理モジュールに対応して信号形態の異なるリセット制御指令信号を送出する回路を備え、

上記各処理モジュールの受信回路は、リセット制御線から与えられるリセット制御指令信号の信号形態から自処理モジュールに対するものであるか否かを判断し、自処理モジュールに対するものであればリセット処理回路を動作させるリセット判断回路を備えることを特徴としたリセット制御装置。

【請求項2】 上記リセット制御指令信号の信号形態はパルス信号とし、リセット対象の処理モジュールに対応して、パルス特性又はパルス情報を変えることを特徴とする請求項1に記載のリセット制御装置。

【請求項3】 上記リセット制御指令信号の信号形態はアナログ信号とし、リセット対象の処理モジュールに対応してアナログ信号の特性を変えることを特徴とする請求項1に記載のリセット制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はリセット制御装置に関し、リセット制御線に複数の例えば、処理モジュールや処理装置などが接続され、種々のリセット制御がされ得るものに関する。

【0002】

【従来の技術】 近年、デジタル的な処理を行う電子装置においては、内部に複数の処理モジュールを備え、そして、これらの処理モジュールがシステムバスに接続されて実現されている場合が多くなっている。そして、これらのデジタル処理を行う処理モジュールは、システム制御モジュールなどによってシステムバスの使用が制御されている場合が多い。そして、このような構成のデジタル処理を行う複数の処理モジュールが備えられている電子装置においては、動作上、電源投入時のパワーオンリセットや、プログラム処理におけるプログラムの論理性異常や、データ異常などによって処理を途中でリセットさせる場合などがある。

【0003】 そこで、ここでは、上述のデジタル的な処理を行う電子装置のリセット制御の仕組みについて具体的に図面を用いて説明する。

【0004】 図2は従来例の処理装置の機能ブロック図である。この図2において、処理装置は、主にシステム

制御モジュールD0と、1系プロセッサモジュールA0と、0系プロセッサモジュールB0と、0系メモリモジュールC0とから構成されている。これらのモジュールはシステムバスSBに接続されている。

【0005】 この図2のシステムバスSBは、リセット制御線RCLとデータバス線などから構成されている。そして、このリセット制御線RCLは、例えば、1系プロセッサモジュールから0系のプロセッサモジュールB0と、0系のメモリモジュールC0とに対して処理異常のときに処理をリセットさせるために使用する。このため、各モジュールA0、B0、C0からのリセット要求信号2a、2b、2cはOR接続させられているリセット制御線RCLに送出される。また、リセット制御線RCLに送出されたリセット要求信号は各モジュールA0、B0、C0に受信信号3a、3b、3cとして与えられる。

【0006】 また、図2のシステム制御モジュールD0は、この処理装置に対する電力投入時に装置内状態を全て初期状態とパワーオンリセットPORを行うための信号d1～d3を生成し、各処理モジュールA0、B0、C0に与える。この動作によって、この処理装置内の状態を初期状態にさせることができる。

【0007】 また、図2において、処理動作中に例えば、1系プロセッサモジュールA0が処理の異常を検出すると0系のモジュールをリセットさせるためにリセット制御線RCLにリセット要求信号2aを送出する（これを、例えば、アザーリセット：Other Reset、略してORSと呼ぶ。）。すると、0系プロセッサモジュールB0と、0系メモリモジュールC0とはリセット要求信号を受信信号3b、3cとして与えられて初期状態にさせるものであった。

【0008】

【発明が解決しようとする課題】 しかしながら、以上のように上述の図2の処理装置のように装置動作上、リセット動作として、パワーオンリセットPOR機能と、アザーリセットORS機能とが備えられている場合に、1系モジュールから0系モジュールをアザーリセットORSするためのリセット制御線RCLと、システム制御モジュールD0によって為されるパワーオンリセットPORを行うための信号d1～d3とを別々の制御ラインを備えて行うことから装置内の処理モジュール数が多くなると配線（リセット制御線RCL）数が多くなると共に、パワーオンリセットPOR信号の送出回路や、アザーリセットORS信号の送出回路の構成も複雑になるという問題があった。

【0009】 また、上述のように配線数が多くなることで、バス用コネクタの接続ピン数を多くしなければならず、コネクタの大きさも大きくならざるを得ないという問題が起きていた。

【0010】 例えば、公衆回線（ISDN）に接続され

る銀行の金融処理業務用の銀行内に設置される通信制御装置のような場合には、内部には処理モジュールが実際には10以上、システムバスSBに接続されることからより簡単な仕組みで異なる種類のリセット制御（パワーオンリセットPORやアザーリセットORS）を行い得る仕組みが待ち望まれていた。

【0011】また、その他に従来の技術として、例えば、実開昭61-189326号公報の考案「共通バス接続モジュールのリセット回路」の技術には、上述のよう
10 なるリセット制御線と異なる種類のリセット制御を行い得るような構成は示唆されていない。また、例えば、特開平3-132860号公報の発明「マルチプロセッサのリセット制御方式」の技術は、マルチプロセッサのリセットを行うのに、必要な時間だけパルス状にリセット信号を発行するものであって、上述のようにリセット制御線に機能的に異なる種類のパワーオンリセットPORやアザーリセットORSなどのリセット制御を行い得るような技術は示唆されていない。

【0012】更に、他の従来の技術として、特開平3-180948号公報の発明「マルチホストシステムにお
20 ける障害復旧方式」の技術においても、システム内における機能的に異なる種類のリセット制御を行うような技術は示唆されていない。また、特開平4-155542号公報の発明「バスロック時の再起動方法」の技術は、バスロック時にリセット線をオンしてプロセッサを再起動させるものであって、上述のような機能的に異なる種類のリセット制御を行うような技術は示唆されていない。

【0013】以上のようなことから、装置内やシステム内のリセット制御線に複数の処理モジュールや処理装置
30 などが接続されていて、このような装置構成やシステム構成で少なくとも2以上の異なる機能のリセット制御が起り得る場合に、なるべくリセット制御線の配線数を少なくし、簡単な構成で実現できるリセット制御の仕組みの実現が望まれていた。

【0014】

【課題を解決するための手段】そこで、この発明はリセット制御指令信号をリセット制御線へ送出する送出回路と、リセット制御線からのリセット制御指令信号をリ
40 セット制御線から受ける受信回路と、受けたリセット制御指令信号に基づきリセット処理を行うリセット処理回路とを有する処理モジュールが、リセット制御線に少なくとも2以上接続されているリセット制御装置において、以下のような特徴的な手段で実現するものである。

【0015】尚、リセット制御指令信号とは、例えば、装置内の全体をリセットするための信号や、装置内の一部をリセットする信号などである。

【0016】ここで、処理モジュールは、リセット制御指令信号を送出したり、受信したりする機能を備えているものというものであって、処理装置や通信装置などで
50

あってもよい。

【0017】つまり、各処理モジュールの送出回路には、いずれの処理モジュールをリセットさせるかを表すために、リセット対象の処理モジュールに対応して信号形態の異なるリセット制御指令信号を送出する回路を備えるものとする。ここでいう、信号形態とは例えば、パルスの信号形態の構成であつてもよいし、アナログ的な信号形態であつてもよい。更に具体的には、パルス幅の異なるものや、アナログ信号の変調特性が異なるものであつてもよい。

【0018】更に、各処理モジュールの受信回路には、リセット制御線から与えられるリセット制御指令信号の信号形態から自処理モジュールに対するものであるか否かを判断し、自処理モジュールに対するものであればリセット処理回路を動作させるリセット判断回路を備えるものである。

【0019】

【作用】このような手段のリセット制御装置によれば、リセット制御線に複数の処理モジュールが複数接続されている場合に、ある処理モジュールから全体をリセット
したい場合には、全体をリセットするための信号形態（例えば、パルス幅）のリセット制御指令信号をリセット制御線を通じて全体の処理モジュールに与える。そして、受信回路のリセット判断回路は予めどのような信号形態が自己に対するものであるかを設定しておくことで、装置全体をリセットするためのリセット制御指令信号が与えられると、各受信回路はリセットを行う。

【0020】また、ある送信回路が、対象の処理モジュールをリセットしたい場合は、この処理モジュールが認識し得るリセット制御指令信号をリセット制御線を通じて処理モジュールに与えるようにすることで、対象の処理モジュールだけをリセットさせることができる。

【0021】

【実施例】そこで、次にこの発明の好適な実施例を図面を用いて説明する。そして、この実施例では、リセット信号の送出側でリセット種別（パワーオンリセットPORやアザーリセットORSやシステムリセットSRSなど）によって、リセット信号を有効とする時間を変える手段と、リセット信号の受信側ではリセット信号の有効時間によってリセット種別を判別する手段などを設けることで、リセット制御線の本数を最小限で実現し得るようにするものである。尚、上記システムリセットSRSとは、ある装置内のシステム制御を行うモジュールが、装置内の処理モジュールを全て初期化するリセット動作として以下の説明を行う。

【0022】そこで、第1実施例では、発明を基本的なある処理装置に適用した場合のシステムリセットSRSと、アザーリセットORSのためのリセット動作について説明する。尚、装置に対する電力投入が行われることでパワーオンリセットPORが行われ、装置内部のシス

テム制御モジュールが、システムリセットSRSを行うものとする。また、アザーリセットORSでは、アザーリセットORSを出したモジュール以外の特定のモジュールをリセットさせるものとする。

【0023】『第1実施例』：図1はある処理装置の構成図である。この図1において、処理装置は、処理モジュールA、B、Cと、システム制御モジュールDとから構成されている。そして、これらのモジュールA～Dは、システムバスSBに接続されている。そして、システムバスSBの中には、データバス線やリセット制御線RCLなどから構成されるが、図1ではリセット制御に着目してリセット制御線RCLに各モジュールが接続されていることを表している。

【0024】（処理モジュールAの構成）：そして、図1において、処理モジュールAは、主モジュール部A1と、システムバスインタフェース部A2とから構成されている。主モジュール部A1は、ある処理を行うためのものである。そして、この主モジュール部A1はシステムバスインタフェース部A2に対してアザーリセット（ORS）要求信号5Aを与える。また、この主モジュール部A1はリセット信号4Aをシステムバスインタフェース部A2から受けると処理を初期状態にリセットする。このリセットによって、例えば、プログラム処理動作や、論理回路動作などを初期状態にさせるものである。

【0025】また、図1の処理モジュールAのシステムバスインタフェース部A2は、主モジュール部A1からアザーリセット（ORS）要求信号5Aを受けるとアザーリセット送出信号2Aをリセット制御線RCLに送出する。また、システムバスインタフェース部A2は、リセット制御線RCLからリセット要求信号3Aを受けると、リセット信号4Aを生成し、主モジュール部A1に与える。

【0026】尚、図1の主モジュール部Aのシステムバスインタフェース部A2において、入力6Aは、システムリセットSRSの制御用の入力であるが、この処理モジュールAは、システムリセットSRSを行う役目のモジュールではないので、処理モジュールAでは使用していない（入力6Aを開放している）。また、このシステムリセットSRSは、システム制御モジュールDで行うため、そこで説明する。

【0027】尚、図1の処理モジュールAのシステムバスインタフェース部A2は、具体的には図3、図4に示している。そして、システムバスインタフェース部A2は、送信回路IT（図3）と、受信回路IR（図4）とから構成されている。

【0028】（処理モジュールBの構成）：図1の処理モジュールBも、システムバスSBのリセット制御線RCLに接続されていて、主モジュールB1と、システムバスインタフェース部B2とから構成されている。

そして、システムバスインタフェース部B2は、具体的には送信回路IT（図3）と、受信回路IR（図4）とから構成されている。

【0029】そして、図1の主モジュール部B1は、システムバスインタフェース部B2からリセット信号4Bを与えられると、処理を初期化するようにされている。また、システムバスインタフェース部B2は、アザーリセットORS送出信号をリセット制御線RCLに送出し得るように接続されている。また、システムバスインタフェース部B2は、リセット制御線RCLからリセット要求信号3Bを受けるように接続されている。

【0030】尚、システムバスインタフェース部B2は、この例では処理モジュールAからアザーリセットORSを受ける、又はシステム制御モジュールDからシステムリセットSRSを受ける例を示そうとしているので、入力5B（アザーリセット要求信号入力）と、入力6B（システムリセット要求信号入力）とは使用せず、開放（未接続）としている。

【0031】（処理モジュールCの構成）：図1の処理モジュールCも、システムバスSBのリセット制御線RCLに接続されていて、主モジュール部C1と、システムバスインタフェース部C2とから構成されている。そして、システムバスインタフェース部C2は、具体的には送信回路IT（図3）と、受信回路IR（図4）とから構成されている。

【0032】そして、図1の主モジュール部C1は、システムバスインタフェース部C2からリセット信号4Cを与えられると、処理を初期化するようにされている。また、システムバスインタフェース部C2は、アザーリセットORS送出信号をリセット制御線RCLに送出し得るように接続されている。また、システムバスインタフェース部C2は、リセット制御線RCLからリセット要求信号3Cを受けるように接続されている。

【0033】尚、システムバスインタフェース部C2は、この例では処理モジュールAからアザーリセットORSを受ける、又はシステム制御モジュールDからシステムリセットSRSを受ける例を示そうとしているので、入力5C（アザーリセット要求信号入力）と、入力6C（システムリセット要求信号入力）とは使用せず、開放（未接続）としている。

【0034】（システム制御モジュールD）：図1のリセット制御線RCLに接続されているシステム制御モジュールDは、主モジュール部D1と、システムバスインタフェース部D2とから構成されている。そして主モジュールD1からはシステムリセットSRS要求信号6Dをシステムバスインタフェース部D2に与える。そして、システムバスインタフェース部D2は、システムリセット送出信号2Dをリセット制御線RCLに与える。また、システムバスインタフェース部D2は、リセット制御線RCLからのリセット要求信号3Dを与えら

れるように接続されている。

【0035】尚、システムバスインタフェース部D2は、具体的には送信回路IT(図3)と、受信回路IR(図4)とから構成されている。

【0036】(システムバスインタフェース部の構成)： 図1のシステムバスインタフェース部A2、B2、C2、D2は、全て同様な回路構成で実現することができる。そして、上述したようにこのシステムバスインタフェース部は送信回路(図3)と、受信回路IR(図4)とから構成されている。そこで、これらの送受信回路の動作を次に行う。

【0037】(送信回路ITの構成)： 図3は送信回路ITの回路構成図である。この図3において送信回路ITは、主にアザーリセット用送信回路ITaと、システムリセット用送信回路ITbとから構成されている。そして、アザーリセット用送信回路ITaは、論理和回路30と、ゲート回路31と、フリップフロップ32と、4ビットカウンタ33とから構成されている。

【0038】また、システムリセット用送信回路ITbは、論理和回路34と、ゲート回路35と、フリップフロップ36と、5ビットカウンタ37とから構成されている。

【0039】尚、図3において、共用的な回路として、出力側に論理和回路38があり、ここからアザーリセット用のリセット送出信号2A(2B、2C)、又は、システムリセット用のリセット送出信号2Dが送出される。

【0040】(送信回路ITの動作)： 図3において、例えば、送信回路ITのアザーリセット用送信回路ITaは主モジュール部A1からアザーリセット要求信号5Aが与えられ1クロック以上有効となると、4ビットカウンタ(2⁴進カウンタ)33のカウンティネーブルCEを有効(論理1、ハイレベル)とさせる。そして、論理和回路38からリセット制御線RCLに対してリセット送出信号を送出する。その後、4ビットカウンタ33が16クロックをカウント後にキャリー出力CY(ハイレベルパルス)をゲート回路31へ送出すると、アザーリセット送出信号2Aの送出が停止(無効)とされる。即ち、16クロックカウントしている間は、アザーリセット送出信号2Aが有効に送出される。

【0041】また、図3において、例えば、送信回路ITのシステムリセット用送信回路ITbは、主モジュール部D1からアザーリセット要求信号6Dが与えられ1クロック以上有効となると、5ビットカウンタ(2⁵カウンタ)37のカウンティネーブルCEを有効(論理1、ハイレベル)とさせる。そして、論理和回路38からリセット制御線RCLに対してリセット送出信号を送出する。その後、5ビットカウンタ37が32クロックをカウント後にキャリー出力CY(ハイレベルパルス)

をゲート回路35へ送出すると、システムリセット送出信号2Dの送出が停止(無効)とされる。即ち、32クロックカウントしている間は、システムリセット送出信号2Dが有効に送出されるものである。

【0042】(受信回路IRの構成)： 図4は受信回路IRの回路構成図である。この図4において受信回路IRは、ゲート回路40、42と、論理和回路41と、フリップフロップ43と、8ビットカウンタ44とから構成されている。

【0043】リセット要求信号3Aが有効に取り込まれるのは、他の処理モジュールからのアザーリセットORS、又はシステム制御モジュールDからのシステムリセットSRS要求のときである。そして、ゲート回路40がリセット要求信号(ハイレベルパルス)を取り込み、1クロック以上有効となると、8ビットカウンタ(2⁸カウンタ)44のカウンティネーブルCEを有効(論理1、ハイレベル)とさせる。そして、フリップフロップ43からリセット信号4Aを主モジュールA1に対して出力開始する。そして、8ビットカウンタ44が256(=2⁸)クロックをカウント後にキャリー出力CY(ハイレベルパルス)をゲート回路42へ送出すると、リセット信号4Aの出力を停止させる。

【0044】即ち、256クロックカウントしている間は、アザーリセットORS又はシステムリセットSRSが有効に行われる。尚、送信回路ITのアザーリセット用送信回路ITa(図3)のフリップフロップ32からの信号32aを受信回路IRのゲート回路40のインバート入力に与えることで、ある処理モジュールAがアザーリセットORSを発生させた場合に、自処理モジュールAの主モジュール部A1には、リセット信号が発生されないようにしている。

【0045】(システムリセットSRSの動作)：

次に図1を参照しながら、システム制御モジュールDが処理モジュールA、B、Cに対してシステムリセットSRSをする場合の動作を説明する。先ずこの処理装置に対する電力投入などによって、システム制御モジュールDは、パワーオンリセットを行い、装置内部の全ての処理モジュールA、B、Cに対するシステムリセットを行う。このため、主モジュール部D1は、システムリセット要求信号6Dをシステムバスインタフェース部D2に与える。

【0046】すると、システムバスインタフェース部D2は、システムリセットSRS送出信号2Dを32クロックの間、ハイレベルのパルスで出力する。このシステムリセットSRS送出信号2DはワイヤードOR接続されているリセット制御線RCLに対して送出され、このリセット制御線RCLで全ての処理モジュールA、B、Cに対してシステムリセット要求信号3A、3B、3Cとして与えられる。

【0047】そして、システムリセット要求信号3Aを

与えられた処理モジュールAのシステムバスインタフェース部A2は、システムリセット信号4Aを256クロック間、主モジュール部A1に対して与える。これによって、主モジュール部A1は、処理動作をリセットさせることができる。

【0048】同様に処理モジュールBも、リセット制御線RCLからシステムリセット要求信号3Bを与えられ、処理モジュールBのシステムバスインタフェース部B2は、システムリセット信号4Bを256クロック間、主モジュール部B1に対して与える。これによって、主モジュール部B1は、処理動作をリセットさせることができる。

【0049】同様に処理モジュールCも、リセット制御線RCLからシステムリセット要求信号3Cを与えられ、処理モジュールCのシステムバスインタフェース部C2は、システムリセット信号4Cを256クロック間、主モジュール部C1に対して与える。これによって、主モジュール部C1は、処理動作をリセットさせることができる。

【0050】以上のようにして、システム制御モジュールDは、リセット制御線RCLを使用して装置内部の全ての処理モジュールA、B、Cに対してリセット制御を行うことができる。

【0051】(処理モジュールAからB、Cに対するアザーリセットORSの動作)：図1の構成図と、図3、図4の回路図と、図5のタイミングチャートとを用いて、処理モジュールAから処理モジュールB、Cに対してのアザーリセットORSの動作を説明する。まず、処理モジュールAの主モジュール部A1は、システムバスインタフェース部A2に対してアザーリセット要求信号5Aを与える。すると、システムバスインタフェース部A2は送信回路ITのアザーリセット用送信回路ITaは、16クロックの間、アザーリセット送出信号2A (図5(a))を発生し、リセット制御線RCLに送出する。

【0052】すると、リセット制御線RCLに送出されたアザーリセット送出信号S1 (図5(b))は、各処理モジュールA、B、Cとシステム制御モジュールDとに与えられる。そこで、処理モジュールBに与えられたアザーリセット要求信号3B (図5(e))は、システムバスインタフェース部B2に与えられる。そして、ここで256クロックの間、リセット信号4B (図5(f))を主モジュール部B1に対して与え、処理をリセットさせる。

【0053】更に、処理モジュールCに与えられたアザーリセット要求信号3C (図5(g))は、システムバスインタフェース部C2に与えられる。そして、ここで256クロックの間、リセット信号4C (図5(h))を主モジュール部C1に対して与え、処理をリセットさせる。

【0054】一方、処理モジュールAにもアザーリセット要求信号3A (図5(c))がシステムバスインタフェース部A2の受信回路IRに与えられるが、送信回路ITのアザーリセット用送信回路ITaのフリップフロップ32から信号32aが受信回路IRのゲート回路40のインバータ入力に与えられるため、アザーリセット要求信号3Aはマスク(受け付け禁止)され、リセット信号4A (図5(d))は主モジュール部A1に出力されない。これによって、アザーリセット要求を出した処理モジュール部Aはアザーリセットされない。

【0055】また、システム制御モジュールDにもアザーリセット要求信号3Dがシステムバスインタフェース部D2に与えられるが、このシステムバスインタフェース部D2の受信回路IR出力の信号4D(リセット信号)が主モジュール部D1に与えられないように未接続にされているので、アザーリセットされない。

【0056】以上のような動作によって、処理モジュールAから処理モジュールB、Cに対するアザーリセットORSを行うことができた。

【0057】(システムリセットとアザーリセットとが同時発生の場合の動作)：次には、図1、図3、図4、図6とを用いて、処理モジュールから処理モジュールB、Cに対するアザーリセットと、システム制御モジュールDからのシステムリセットとが全く同時におきた場合の動作を説明する。そこで、このような場合には、処理モジュールAからのアザーリセット送出信号2A (図5(a))と、システム制御モジュールDからのシステムリセット送出信号2D (図5(b))とが全く同じ時間にリセット制御線RCLに送出されるわけである。

【0058】すると、リセット制御線RCLに送出されたアザーリセット送出信号2Aとシステムリセット送出信号2Dのパルス幅が全く同じ幅(時間)とすると、この2つのリセット信号S1は、リセット要求信号3A

(図5(d))、3B (図5(f))、3C (図5

(h))、3Dとして同時に各処理モジュールA~Dに与えられる。すると、処理モジュール3Bは、リセット要求信号3B (図6(f))を受けて、システムバスインタフェース部B2は256クロックの間、リセット信号4B (図6(g))を出力して主モジュール部B1をリセットさせる。

【0059】同時に処理モジュールCも、リセット要求信号3C (図6(h))を受けると、システムバスインタフェース部C2は256クロックの間、リセット信号4C (図6(i))を出力して主モジュール部C1をリセットさせる。

【0060】一方、処理モジュールAに与えられたリセット要求信号3A (図6(d))によって、システムバスインタフェース部A1は、自分自身でアザーリセット送出信号を送出しているため、受信回路IRでリセット

要求信号3 Aがマスク（受け付け禁止）され、リセット信号4 A（図6（e））は主モジュール部A 1に与えられない。

【0061】また、システム制御モジュールDにリセット要求信号3 Dは与えられるが、システムバスインタフェース部D 2の出力のリセット信号4 Dは主モジュール部D 1に接続されていないのでリセットされない。

【0062】以上のようにして、処理モジュールAからのアザーリセット要求（送出）信号と、システム制御モジュールDからのシステムリセット要求（送出）信号とが全く同じ時間に発生した場合には、処理モジュールB、Cはリセットされるが、処理モジュールAはリセットされない。従って、アザーリセット動作は実現できたものの、システムリセット動作は完全には実現されない。

【0063】（システムリセットとアザーリセットとが異なる時間発生の場合の動作）：しかしながら、実際にはシステムリセットSRSの場合には、システムバスインタフェース部D 2からシステムリセット送出信号2 D（図7（b））が3 2クロックの間送出される。一方、アザーリセットORSの場合には、アザーリセット送出信号2 A（図7（a））は、1 6クロックの間、リセット制御線RCLへ送出される。このように実際には、同時にアザーリセットORSとシステムリセットSRSとが開始されたとしても、アザーリセット送出信号2 A（図7（a））の送出期間は、1 6クロックの期間であり、一方システムリセット送出信号2 D（図7（b））の送出期間は3 2クロックの期間であるから、1 6クロックの期間、システムリセット送出信号2 D（図7（b））の送出期間が長い。

【0064】そこで、アザーリセット送出信号2 Aとシステムリセット送出信号2 Dとのリセット制御線RCLへの送出によって、リセット信号S 1（図7（c））が3 2クロックの間、リセット制御線RCLに存在することになる。そして、このリセット信号S 1の開始によって、処理モジュールBにはリセット要求信号3 B（図7（f））が3 2クロックの間与えられる。これによって、システムバスインタフェース部B 2は、リセット信号4 B（図7（g））を2 5 6クロックの間、主モジュール部B 1に与えリセットさせる。

【0065】同時に処理モジュール部Cにも、リセット要求信号3 C（図7（h））が3 2クロックの間与えられる。これによって、システムバスインタフェース部C 2は、リセット信号4 C（図7（i））を2 5 6クロックの間、主モジュール部C 1に与えリセットさせる。

【0066】また、同時にリセット要求信号3 Aが処理モジュールAに与えられるが、リセット信号S 1の開始から1 6クロックの間は、アザーリセット送出信号2 A（図7（a））の期間であるから、この1 6クロックの間、マスクされシステムバスインタフェース部A 2はリ

セット信号4 Aを出力しない（図7（e 1））。しかしながら、アザーリセット送出信号2 A（図7（a））の送出期間が終了すると、同時に続いているシステムリセット送出信号によるリセット信号S 1によって、システムリセット要求信号3 Aは、マスクされずにシステムバスインタフェース部A 2から2 5 6クロックの間（図7（e 2））、リセット信号4 Aが主モジュール部A 1に与えられリセットされる。

【0067】以上の動作によって、アザーリセット送出とシステムリセット送出とが同時に開始されても、アザーリセット送出によって、処理モジュールB、Cがリセットされた後、処理モジュールAもリセットされ、処理モジュールA～Cのシステムリセットも達成される。

【0068】『第1実施例の効果』：以上の第1実施例の処理装置のリセット制御方法によれば、1線路のリセット制御線RCLを処理モジュールA～Cと、システム制御モジュールDとが共用し、アザーリセットと、システムリセットと両立してを行うために、リセットの種類に応じてリセット送出パルスの幅（アザーリセットの場合は1 6クロックの期間、システムリセットの場合は3 2クロックの期間）を変えたことで簡単な構成でそれぞれのリセット動作を実現することができるようになった。

【0069】更に、リセットの種類を増加させたい場合が生じても、リセット送出パルスの幅を変えて設定し、この新しいパルス幅のリセットパルスを判別する回路を備えるだけでリセットの種類を増加させることができる。

【0070】『第2実施例』：第2実施例は、この発明をISDN回線と接続し得る通信制御装置の内部に適用した場合の実施例である。

【0071】図8はこの発明をISDN回線へ接続し得る通信制御装置の構成図である。この図8において、通信制御装置は、システムバスSBにシステム制御モジュール1と、0系の処理モジュールと、1系の処理モジュールと、共有メモリモジュール10とが接続されている。そして、この0系の処理モジュールと、1系の処理モジュールとは、現用系と、予備系として使用される。そこで、0系の処理モジュールは、0系プロセッサ・メモリモジュール2と、0系ISDN制御モジュール3と、0系SCSI制御モジュール6と、0系LAN制御モジュール7とから構成されている。更に、1系の処理モジュールは、1系プロセッサ・メモリモジュール4と、1系ISDN制御モジュール5と、1系SCSI制御モジュール8と、1系LAN制御モジュール9とから構成されている。

【0072】そして、このシステムバスSBは、具体的には内部が0系リセット用制御線RCL1と、1系リセット用制御線RCL2と、データバス線と、制御線などから構成されている。そして、0系リセット用制御線R

CL1には、1系のプロセッサ・メモリモジュール4と、0系の各モジュール2、3、6、7と、システム制御モジュール1とが接続されている。また、1系リセット用制御線RCL2には、0系のプロセッサ・メモリモジュール2と、1系の各モジュール4、5、8、9と、システム制御モジュール1とが接続されている。

【0073】そして、システム制御モジュール1には、コンソール11が接続されている。このコンソール11は、システム制御モジュール1に対してシステムリセットの指令を与えたり、システム制御モジュール1の状態を監視するものである。

【0074】また、0系LAN制御モジュール7と、1系LAN制御モジュール9には、それぞれEthernetによって、パーソナルコンピュータなどと接続されるようになっている。また、0系SCSI制御モジュール6には、磁気ディスク装置6a~6nが接続されている。更に、1系SCSI制御モジュール8にも、磁気ディスク装置8a~8nが接続されている。

【0075】更にまた、0系ISDN制御モジュール3はISDN回線へ接続し得る構成とされており、この通信制御装置で処理したデータをISDN回線を通じてISDNのホスト装置などに送ったり、ISDNからのデータをこの通信制御装置に取り込むためのものである。また、1系ISDN制御モジュール5も0系ISDN制御モジュール3と同じような機能を備えている。

【0076】そして、0系に異常が起きたような場合は、1系のプロセッサ・メモリモジュール4が0系リセット用制御線RCL1にアザリセット信号を送出することで0系の各モジュール2、3、6、7をアザリセットする。このときのアザリセット信号は、第1実施例のごとくパルス幅を例えば、16クロック期間の幅で送出するものとする。

【0077】また、1系に異常が起きたような場合には、0系の0系のプロセッサ・メモリモジュール2が1系リセット用制御線RCL2にアザリセット信号を送出することで1系の各モジュール4、5、8、9をアザリセットする。このときのアザリセット送出信号は、第1実施例のごとくパルス幅を例えば、16クロックの期間の幅で送出するものとする。

【0078】更に、システム制御モジュール1が、装置内の全てのモジュールをシステムリセットする場合には、0系リセット用制御線RCL1と1系リセット用制御線RCL2に対してシステムリセット送出信号を送出してシステムリセットを行う。このときのシステムリセット送出信号は、例えば、上述の第1実施例と同様にパルス幅を例えば、16クロック期間の幅で送出するものとする。

【0079】そこで、ここでは、1系プロセッサ・メモリモジュール4から0系の各モジュール2、3、6、7へのアザリセット動作と、システム制御モジュール1

からのシステムリセットを行うための構成と動作を更に詳しく説明する。

【0080】そこで、上述の図8（装置全体図）からアザリセット動作とシステムリセット動作を説明するための部分図として、図9の部分図を用いて説明する。この図9においては、0系リセット用制御線RCL1に1系プロセッサ・メモリモジュール4と、0系プロセッサ・メモリモジュール2と、0系SCSI制御モジュール6と、システム制御モジュール1とが接続されていることが示されている。

【0081】（1系プロセッサ・メモリモジュール4の構成）：そして、図10は1系プロセッサ・メモリモジュール4の一例の構成図を示している。この図10において、1系プロセッサ・メモリモジュール4は、主モジュール部4A1と、システムバスインタフェース部4A2とから構成されている。そして、主モジュール部4A1は、CPU4A1aとROM4A1bとRAM4A1cとがバスに接続されて構成されている。そして、1系プロセッサ・メモリモジュール4は0系リセット用制御線RCL1に接続され、アザリセット送出信号2Aを送出し、リセット要求信号3Aを受信し得るようにされている。そして、上記ROM1D1bは、プログラムを格納していて、CPU1D1aからの命令に基づき読み出されて処理される。例えば、アザリセット要求信号5Aなどを生成し、システムバスインタフェース部4A2に与える。RAM1D1cは処理中のワーキングデータを一時的に格納するものである。

【0082】そして、システムバスインタフェース部4A2は、上述の第1実施例と同様な回路構成（図3、図4）で実現するものとする。

【0083】（0系プロセッサ・メモリモジュール2の構成）：更に、図11は0系プロセッサ・メモリモジュール2の一例の構成図を示している。この図11において、0系プロセッサ・メモリモジュール2は、主モジュール部2B1と、システムバスインタフェース部2B2とから構成されている。そして、主モジュール部2B1は、CPU2B1aとROM2B1bとRAM2B1cとがバスに接続されて構成されている。そして、0系プロセッサ・メモリモジュール2は0系リセット用制御線RCL1に接続され、リセット要求信号3Bを受信し得るようにされている。そして、上記ROM1B1bは、プログラムを格納していて、CPU1B1aからの命令に基づき読み出されて処理される。RAM1B1cは処理中のワーキングデータを一時的に格納するものである。

【0084】そして、システムバスインタフェース部2B2は、上述の第1実施例と同様な回路構成（図3、図4）で実現するものとする。

【0085】尚、このプロセッサ・メモリモジュール2は0系SCSI制御モジュール6を使用することで、磁

気ディスク装置6a~6nに格納されているファイルの読出しや書込み速度を高速化させようとしているものである。尚、このSCSIとは、Small Computer System Interfaceのことであり、このSCSIのための専用のLSIは既にパーソナルコンピュータなどにおいて使用されている。このSCSI用のLSIとしては、例えば、WD33C93A（ウェスタンデジタル社製）や、μPD72611（日本電気株式会社製）や、HD64961F（株式会社日立製）や、MB87035/MB87036（富士通株式会社製）や、53C700-66（NCR社製）などがある。

【0086】（0系SCSI制御モジュール6の構成）： 更にまた、図12は0系SCSI制御モジュール6の構成図を示している。この図12において、0系SCSI制御モジュール6は、SCSI制御主モジュール部6C1と、システムバスインタフェース部6C2とから構成されている。そして、0系SCSI制御モジュール6は、0系リセット用制御線RCL1に接続され、リセット要求信号3Cを受信し得るようにされている。

【0087】そして、システムバスインタフェース部6C2は、上述の第1実施例と同様な回路構成（図3、図4）で実現するものとする。

【0088】（システム制御モジュール1の構成）：

また、図13はシステム制御モジュール1の一例の構成図を示している。この図13において、システム制御モジュール1は、主モジュール部1D1と、システムバスインタフェース部1D2とから構成されている。そして、主モジュール部1D1は、CPU1D1aと、ROM1D1bと、RAM1D1cと、入出力部1D1dとが、バスに接続され構成されている。そして、このシステム制御モジュール1は0系リセット用制御線RCL1に接続され、システムリセット出力信号2Dを送出し得るように構成されている。そして、上記ROM1D1bは、プログラムを格納していて、CPU1D1aからの命令に基づき読み出されて処理される。例えば、システムリセット要求信号6Dなどを生成し、システムバスインタフェース部1D2に与える。RAM1D1cは処理中のワーキングデータを一時的に格納するものである。また、入出力部1D1dはコンソール11からシステムリセット命令を受けたり、処理の状態情報などをコンソール11へ出力する。

【0089】そして、システムバスインタフェース部1D2は、上述の第1実施例と同様な回路構成（図3、図4）で実現するものとする。

【0090】（1系から0系へのアザーリセット動作①）： ここでは、1系のプロセッサ・メモリモジュール4が0系のモジュールにアザーリセットをかけるための動作を説明する。そこで、先ず、1系のプロセッサ

・メモリモジュール4のCPU4A1aはバスを通じて、システムバスインタフェース部4A2にアザーリセット要求信号5Aを出力する。すると、システムバスインタフェース部4A2は、上述の図3の回路によって、アザーリセット送出信号2Aを、パルス幅が16クロックの期間のものを、0系リセット用制御線RCL1に送出する。すると、このアザーリセット送出信号は0系プロセッサ・メモリモジュール2に与えられると、システムバスインタフェース部2B2がリセット要求信号3Bとして受け、そして、リセット信号4Bを256クロックの期間出力し、主モジュール部2B1に与えて、CPU2B1aが判断してリセットを行う。

【0091】更に、アザーリセット送出信号はリセット要求信号3Cとして0系SCSI制御モジュール6に与えられると、システムバスインタフェース部6C2はリセット信号4Cを256クロックの期間出力し、主モジュール部6C1に与えてリセットを行う。

【0092】また、アザーリセット送出信号2Aは、自己の1系プロセッサ・メモリモジュール4のシステムバスインタフェース部4A2にもリセット要求信号3Aとして与えられる。しかしながら、送信回路ITを図3に示すように回路構成していることで、自己のアザーリセット送出に対しては、リセット要求信号3Aはゲート回路40でマスク（受け付け拒否又は無効に）されるためリセット信号4Aは出力されず、1系プロセッサ・メモリモジュール4はリセットされない。

【0093】更に、アザーリセット送出信号2Aによって、リセット要求信号3Dがシステム制御モジュール1のシステムバスインタフェース部1D2に与えられるが、リセット信号の出力を主モジュール部1D1に与えないように構成しているのでリセットされない。

【0094】以上のようにして1系のプロセッサ・メモリモジュール4は0系のモジュールだけをアザーリセットさせることができる。

【0095】（システムリセット動作②）： 次に図9の部分構成において、システム制御モジュール1がシステムリセットをかける場合の動作を説明する。そこで、先ずシステム制御モジュール1は、コンソール11からシステムリセット命令が与えられ、CPU1D1aがシステムリセット要求信号6Dを生成しシステムバスインタフェース部1D2に与える。すると、システムバスインタフェース部1D2は、システムリセット送出信号2を0系及び1系リセット用制御線RCL1、2へ送出する。この送出される、システムリセット送出信号2Dは、上述の図3の回路構成によって、パルス幅が32クロック期間に相当するパルスを送出する。

【0096】すると、このシステムリセット送出信号は、0系及び1系の全てのモジュールに与えられる。即ち、図9の部分構成図の場合には、1系プロセッサ・メモリモジュール4にリセット要求信号3Aとして与えら

れる。すると、システムバスインタフェース部4A2はリセット信号4Aを主モジュール部4A1へ与え、CPU4A1aが判断してリセットを行う。

【0097】以上と同様にして、図9の部分構成図内の0系プロセッサ・メモリモジュール2と、0系SCSI制御モジュール6もリセットされる。また、システムリセット送出信号2Dは、リセット要求信号3Dとして主モジュール1のシステムバスインタフェース部1D2に与えられる。しかしながら、システムバスインタフェース部1D2は自己がシステムリセット送出信号2Dを出したものであることから、受信回路IRのゲート回路40でリセット要求信号3Dがマスク（受け付け拒否又は無効に）され、リセットされない。

【0098】（1系から0系へのアザーリセットとシステムリセットとが同時に発生した場合の動作）：また、上述の1系のプロセッサ・メモリモジュール4が0系のモジュールにアザーリセットをかけるための動作と、上述のシステム制御モジュール1がシステムリセットをかける場合の動作とが同時に発生した場合には、0系リセット用制御線RCL1には、1系のプロセッサ・メモリモジュール4からのアザーリセット送出信号2Aと、システム制御モジュール1からのシステムリセット送出信号2Dとが同時に送出される。これによって、上述の①②の動作が進められ、各モジュールがリセットされる。

【0099】尚、アザーリセット送出信号2Aは送出パルス幅が16クロックの期間であるが、システムリセット送出信号2Dは送出パルス幅が32クロックの期間であるため、第1実施例の処理モジュールAにおける動作と同様に1系のプロセッサ・メモリモジュール4もリセットされる。

【0100】『第2実施例の効果』：以上の通信制御装置のリセット制御の仕組みによれば、0系又は1系のリセット用制御線RCL1、RCL2に機能の異なるアザーリセット送出信号とシステムリセット送出信号が送出されても、送出パルス幅が異なるため、目的とする対象のモジュールをリセットさせることができる。従って、従来に比べ簡単な構成のリセット制御線で実現できる。

【0101】更に、リセットの種類を増加させたい場合が生じても、リセット送出パルスの幅を変えて設定し、この新しいパルス幅のリセットパルスを判別する回路を備えるだけでリセットの種類を増加させることができる。

【0102】（他の実施例）：（1）尚、以上の実施例の他にも種々の態様で発明を実現することができる。例えば、ある1線路のリセット制御線に、リセット送信回路アと少なくとも2以上のリセット受信回路イ、ウとが接続されていて、このリセット送信回路アが機能の異なるリセット要求信号を送出し得るものである。そ

して、一つのリセット要求信号の機能は、受信回路イをリセットさせるためのもので、パルス幅t1とする。また、他のリセット要求信号の機能は、受信回路ウをリセットさせるためのもので、パルス幅t2とする。このようにすることで、送信回路アは、受信回路イをリセットしたい場合はパルス幅t1のリセット信号を受信回路イに与えることでリセットでき、また、受信回路ウをリセットしたい場合はパルス幅t2のリセット信号を受信回路ウへ与えることでリセットさせることができる。

【0103】（2）また、上記第2実施例では発明を通信制御装置に適用する例を示したが、このような装置への適用に限定するものではない。例えば、リセット制御線に複数のコンピュータが接続されるコンピュータシステムへの適用もできる。

【0104】（3）更に、上述の実施例では、リセット信号のパルス幅を機能によって異なる値に設定することで、リセット機能の識別を行い得るようにしたが、これに限定するものではない。例えば、パルス周期や、パルス数や、パルス情報（長短パルスの組み合わせ）によって設定するものであってもよい。その他、リセット信号をアナログ信号として、このアナログ信号の変調方式を（例えば、FSKやPSKなどに）変えることで設定することであってもよい。尚、FSKは、Frequency Shift Keyingでの略であり、PSKは、Phase Shift Keyingの略である。

【0105】

【発明の効果】以上述べた様にこの発明のリセット制御装置は、リセット制御指令信号を送出したり、受信したりし得る処理モジュールがリセット制御線に複数接続されている場合に、各処理モジュールの送出回路に、いずれの処理モジュールをリセットさせるかを表すために、リセット対象の処理モジュールに対応して信号形態の異なるリセット制御指令信号を送出する回路を備える。そして、更に、各処理モジュールの受信回路には、リセット制御線から与えられるリセット制御指令信号の信号形態から自処理モジュールに対するものであるか否かを判断し、自処理モジュールに対するものであればリセット処理回路を動作させるリセット判断回路を備えることで、最小限の配線数のリセット制御線を使用して、装置内で異なる複数のリセット制御を行うことが可能となる。

【図面の簡単な説明】

【図1】この発明の第1実施例の処理装置におけるリセット制御動作を説明するための装置構成図である。

【図2】従来例の処理装置におけるリセット制御動作を説明するための装置構成図である。

【図3】第1実施例のシステムバスインタフェース部の送信回路の回路構成図である。

【図4】第1実施例のシステムバスインタフェース部の受信回路の回路構成図である。

【図5】第1実施例のタイミングチャート（その1）である。

【図6】第1実施例のタイミングチャート（その2）である。

【図7】第1実施例のタイミングチャート（その3）である。

【図8】この発明の第2実施例の通信制御装置の構成図である。

【図9】第2実施例の通信制御装置の部分構成図である。

【図10】第2実施例の1系プロセッサ・メモリモジュールの構成図である。

【図11】第2実施例の0系プロセッサ・メモリモジュール

* ールの構成図である。

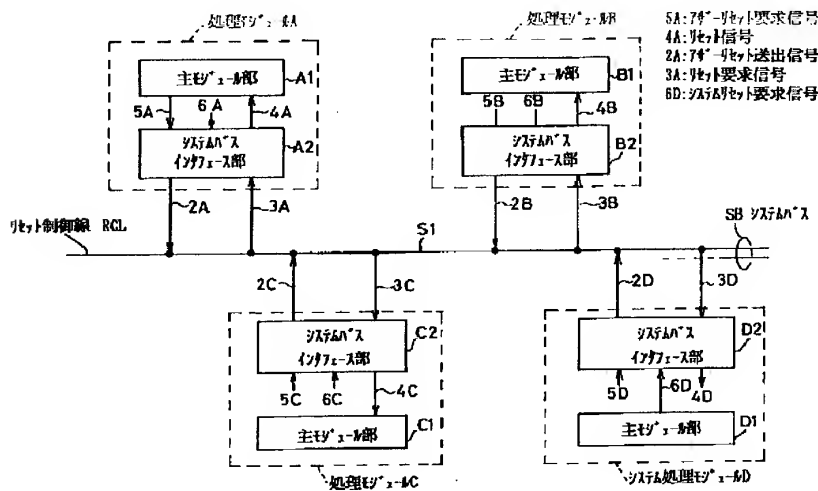
【図12】第2実施例の0系SCSI制御モジュールの構成図である。

【図13】第2実施例のシステム制御モジュールの構成図である。

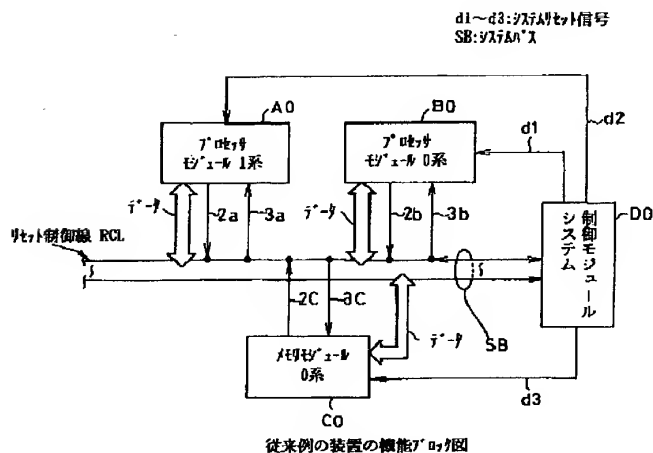
【符号の説明】

A～C…処理モジュール、A1、B1、C1…主モジュール部、A2、B2、C2、D2…システムバスインタフェース部、D…システム制御モジュール、RCL…リセット制御線、2A、2B、2C…アザーリセット送出信号、2D…システムリセット送出信号、3A、3B、3C…リセット要求信号、4A、4B、4C…リセット信号。

【図1】

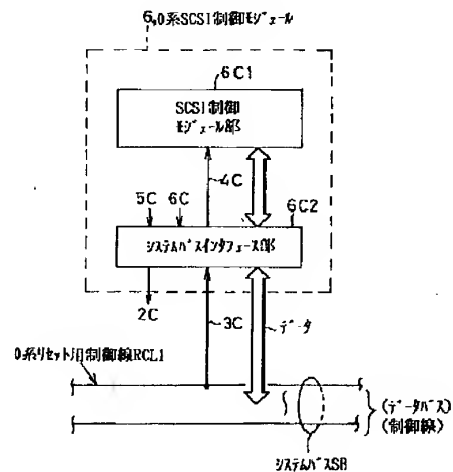


【図2】



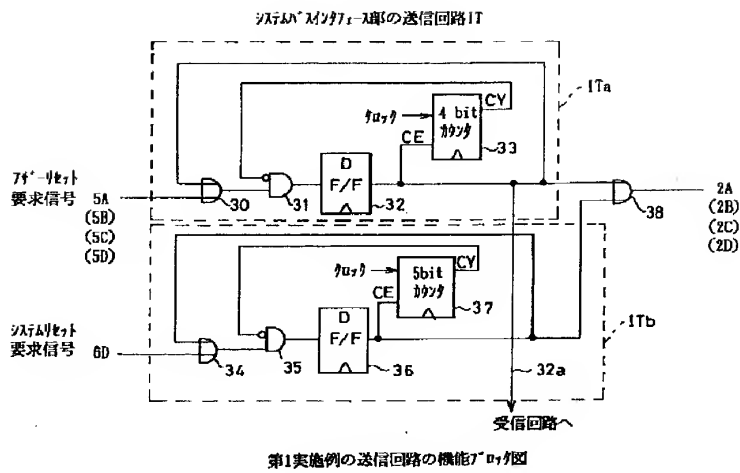
従来例の装置の機能ブロック図

【図12】

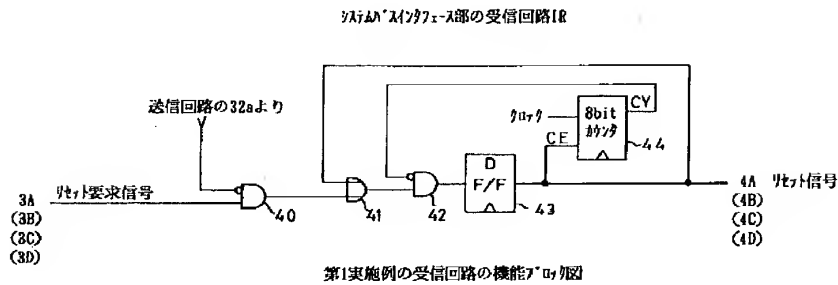


第2実施例の0系SCSI制御モジュールの構成図

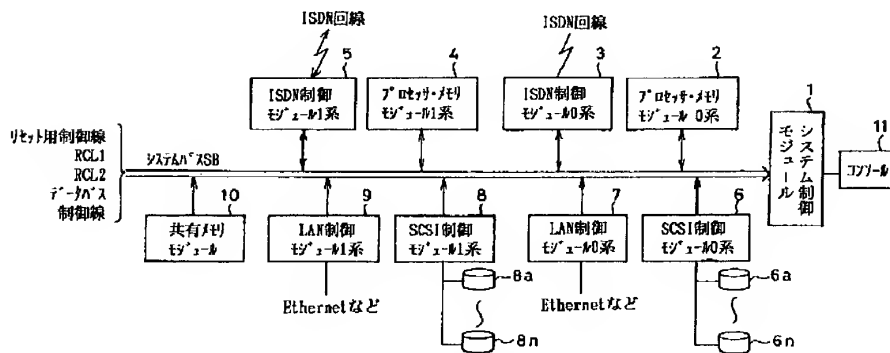
【図 3】



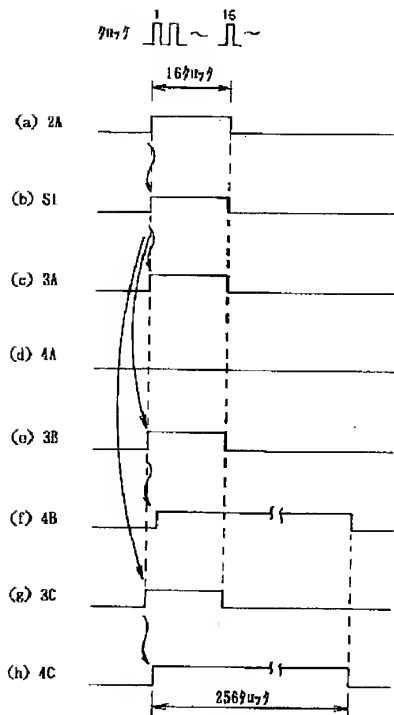
【図 4】



【図 8】

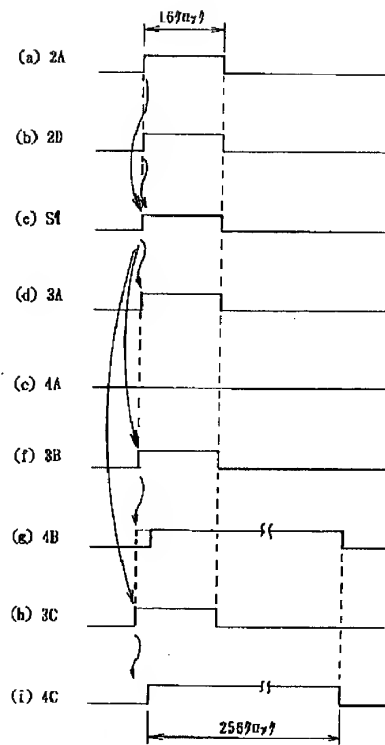


【図5】



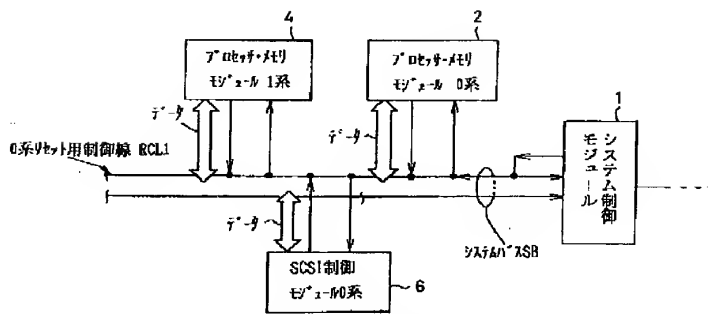
第1実施例のタイミングチャート(その1)

【図6】



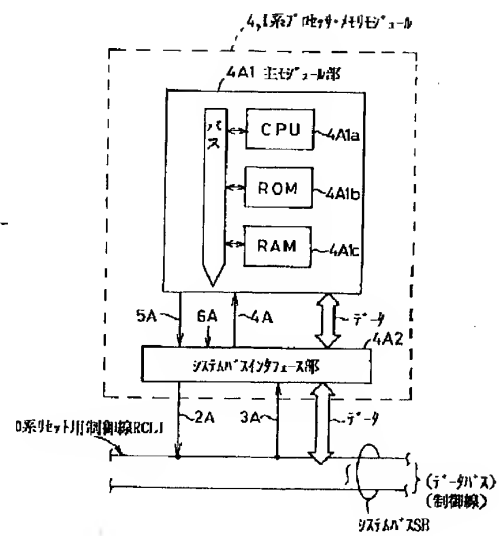
第1実施例のタイミングチャート(その2)

【図9】



第2実施例の装置の部分機能ブロック図

【図10】



第2実施例の1系プロセッサ・メモリモジュール構成図

